

This Page Is Inserted by IFW Operations
and is not a part of the Official Record.

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

153/prior paper
Adrian
2-13-02

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Tomihide YASUMOTO**

Serial Number: **Not Yet Assigned**

Filed: **November 29, 2001**

For: **A SEMICONDUCTOR DEVICE MANUFACTURING METHOD USING
METAL SILICIDE REACTION AFTER ION IMPLANTATION IN
SILICON WIRING**



CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
Washington, D.C. 20231

November 29, 2001

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2001-013101, filed on January 22, 2001

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN, HATTORI
McLELAND & NAUGHTON, LLP

Stephen G. Adrian
Reg. No. 32,878

Atty. Docket No.: 011317
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
SGA/yap

日本国特許庁
JAPAN PATENT OFFICE

JC879 U.S. PTO
09/995575
11/29/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2001年 1月22日

出願番号

Application Number:

特願2001-013101

出願人

Applicant(s):

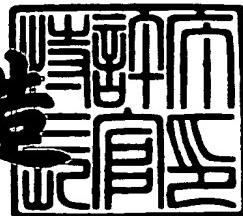
富士通株式会社

富士通ヴィエルエスアイ株式会社

2001年 5月25日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3043218

【書類名】 特許願
 【整理番号】 0040960
 【提出日】 平成13年 1月22日
 【あて先】 特許庁長官殿
 【国際特許分類】 H01L 29/78
 【発明の名称】 半導体装置の製造方法
 【請求項の数】 6
 【発明者】
 【住所又は居所】 愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴィエルエスアイ株式会社内
 【氏名】 安本 民秀
 【特許出願人】
 【識別番号】 000005223
 【氏名又は名称】 富士通株式会社
 【特許出願人】
 【識別番号】 000237617
 【氏名又は名称】 富士通ヴィエルエスアイ株式会社
 【代理人】
 【識別番号】 100091340
 【弁理士】
 【氏名又は名称】 高橋 敬四郎
 【電話番号】 03-3832-8095
 【手数料の表示】
 【予納台帳番号】 009852
 【納付金額】 21,000円
 【提出物件の目録】
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

特2001-013101

【包括委任状番号】 9705794

【包括委任状番号】 9708188

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項1】 半導体基板の表面上に、シリコンからなる配線を形成する工程と、

前記配線の一部をレジストパターンで覆う工程と、

前記レジストパターンをマスクとしてイオン注入を行う工程と、

前記レジストパターンを除去する工程と、

前記配線の上面からの深さが少なくとも5nmまでの表層部を除去し、薄層化する工程と、

薄層化された前記配線の表層部と、シリコンとシリサイド反応する金属とを反応させて、該配線の表面上に金属シリサイド膜を形成する工程とを有する半導体装置の製造方法。

【請求項2】 前記金属シリサイド膜を形成する工程が、

前記配線の表面上に、シリコンとシリサイド反応する金属を含む金属膜を堆積する工程と、

前記配線と前記金属膜とを反応させて、両者の界面に金属シリサイド層を形成する工程と

を含む請求項1に記載の半導体装置の製造方法。

【請求項3】 前記配線を薄層化する工程が、

前記配線を、その上面からある深さまで酸化する工程と、

前記配線の酸化された部分を除去する工程と

を含む請求項1または2に記載の半導体装置の製造方法。

【請求項4】 半導体基板の表面上に、シリコンからなる配線を形成する工程と、

前記配線の一部をレジストパターンで覆う工程と、

前記レジストパターンをマスクとしてイオン注入を行う工程と、

前記レジストパターンを除去する工程と、

前記配線を、その上面からある深さまで酸化する工程と、

前記配線の酸化された部分を除去し、薄層化する工程と、
薄層化された前記配線の表層部と、シリコンとシリサイド反応する金属とを反
応させて、該配線の表面上に金属シリサイド膜を形成する工程と
を有する半導体装置の製造方法。

【請求項5】 前記金属シリサイド膜を形成する工程が、

前記配線の表面上に、シリコンとシリサイド反応する金属を含む金属膜を堆積
する工程と、

前記配線と前記金属膜とを反応させて、両者の界面に金属シリサイド層を形成
する工程と

を含む請求項4に記載の半導体装置の製造方法。

【請求項6】 前記配線を酸化する工程において酸化される深さが5nm以上
であり、酸化の深さが該配線の厚さよりも浅い請求項4または5に記載の半導
体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、特にシリコンからなる配線の一部を
レジストパターンで覆ってイオン注入し、その後、その配線の上面に金属シリサ
イド層を形成して低抵抗化を図った半導体装置の製造方法に関する。

【0002】

【従来の技術】

シリコン配線の低抵抗化を図るために、配線の表面上に金属シリサイド膜を形
成する技術が知られている。金属シリサイド膜は、シリコン配線の表面上に、シリ
コンとシリサイド反応する金属からなる金属層を堆積し、シリコン配線と金属
層とを反応させることにより形成される。通常、金属層を堆積する前に、シリコ
ン配線の表面の清浄化処理が行われる。例えばウェット処理により、シリコン配
線の表面に形成されている自然酸化膜の除去や、表面に付着している不純物の除
去が行われる。

【0003】

【発明が解決しようとする課題】

上述の従来の方法でシリコン配線の低抵抗化処理を行ったところ、十分低抵抗化しない場合があることがわかった。

【0004】

本発明の目的は、シリコン配線の上面に金属シリサイド膜を形成し、再現性よく配線抵抗を低減することができる半導体装置の製造方法を提供することである。

【0005】

【課題を解決するための手段】

本発明の一観点によると、半導体基板の表面上に、シリコンからなる配線を形成する工程と、前記配線の一部をレジストパターンで覆う工程と、前記レジストパターンをマスクとしてイオン注入を行う工程と、前記レジストパターンを除去する工程と、前記配線の上面からの深さが少なくとも5nmまでの表層部を除去し、薄層化する工程と、薄層化された前記配線の表層部と、シリコンとシリサイド反応する金属とを反応させて、該配線の表面上に金属シリサイド膜を形成する工程とを有する半導体装置の製造方法が提供される。

【0006】

本発明の他の観点によると、半導体基板の表面上に、シリコンからなる配線を形成する工程と、前記配線の一部をレジストパターンで覆う工程と、前記レジストパターンをマスクとしてイオン注入を行う工程と、前記レジストパターンを除去する工程と、前記配線を、その上面からある深さまで酸化する工程と、前記配線の酸化された部分を除去し、薄層化する工程と、薄層化された前記配線の表層部と、シリコンとシリサイド反応する金属とを反応させて、該配線の表面上に金属シリサイド膜を形成する工程とを有する半導体装置の製造方法が提供される。

【0007】

イオン注入時に、レジストパターンの縁がイオンビームでスパッタリングされ、レジスト中の炭素が配線の表層部に侵入する場合がある。シリサイド反応前に、配線の表層部が取り除かれる際に、侵入した炭素も取り除かれる。このため、炭素に起因するシリサイド反応の不良を防止することができる。

【0008】

【発明の実施の形態】

図1（A）に、本発明の実施例による方法で製造される半導体装置の平面図を示す。シリコン基板の表面上に形成されたフィールド酸化膜により、活性領域1及び2が画定されている。活性領域1はn型ウェル内に配置され、活性領域2はp型ウェル内に配置されている。相互に平行に配置された配線3及び4の各々が、活性領域1及び2と交差する。

【0009】

配線3及び4のうち、活性領域1と交差する部分が、それぞれゲート電極3A及び4Aを兼ね、活性領域2と交差する部分が、それぞれゲート電極3B及び4Bを兼ねる。活性領域1内の領域が、ゲート電極3A及び4Aによりソース領域6、7、及びドレイン領域8に区分される。ゲート電極3Aと4Aとに挟まれた領域が、ドレイン領域8である。同様に、活性領域2内の領域が、ゲート電極3B及び4Bによりソース領域10、11、及びドレイン領域12に区分される。

【0010】

図1（B）に、図1（A）の一点鎖線B1-B1における断面図を示す。シリコン基板20の表面上にフィールド酸化膜21が形成され、活性領域1が画定されている。活性領域1は、n型ウェル20内に配置されている。活性領域1の一部の表面上に、ゲート絶縁膜9を介してゲート電極3Aが形成されている。ゲート電極3Aの側面上にサイドウォールスペーサ22が形成されている。サイドウォールスペーサ22は、酸化シリコン層と窒化シリコン層とからなる2層構造を有する。

【0011】

ゲート電極3Aの両側の基板表層部に、p型のソース領域6及びドレイン領域8が形成されている。ソース領域6及びドレイン領域8は、低濃度ドレイン構造（LDD構造）とされている。ソース領域6、ドレイン領域8、及びゲート電極3Aの表面上に、それぞれコバルトシリサイド膜23、24、及び25が形成されている。

【0012】

次に、図2及び図3を参照して、実施例による半導体装置の製造方法について説明する。なお、必要に応じて、図1も参照される。図2及び図3の各図は、図1（A）の一点鎖線A2-A2における断面図に対応する。

【0013】

図2（A）に示すように、シリコン基板19の表面層に、n型ウェル20及びp型ウェル30を形成する。LOCOS法を用いてフィールド酸化膜21を形成し、n型ウェル20内に活性領域1を画定し、p型ウェル30内に活性領域2を画定する。フィールド酸化膜21の厚さは、例えば300nmである。シリコン基板19の表面を熱酸化することにより、活性領域1の表面上にゲート酸化膜9を形成し、活性領域2の表面上にゲート酸化膜31を形成する。ゲート酸化膜9及び31の厚さは、例えば10nmである。

【0014】

シリコン基板19の全面上に、厚さ180nmの多結晶シリコン膜を成膜する。この多結晶シリコン膜をパターニングし、図1（A）に示した配線3を形成する。

【0015】

図2（B）に示すように、活性領域1をレジストパターン40で覆う。配線3及びレジストパターン40をマスクとして、活性領域2内の基板表面層に砒素イオン(As^+)を、加速エネルギー10keV、ドーズ量 $5 \times 10^{13} cm^{-2}$ の条件で注入する。このとき、レジストパターン40の側面がイオンビームでスパッタリングされ、レジストパターン中の炭素原子が飛散する。飛散した炭素原子の一部は、配線3の内部に侵入し、レジストパターン40の縁の近傍に、炭素含有領域41を形成する。

【0016】

この現象は、配線3の金属シリサイド化が不良であった箇所を、レジストパターン40の位置と関連づけることにより、本願発明者によって新たに発見された。シリサイド反応時には、既にレジストパターン40が除去されているため、金属シリサイド化の不良であった箇所をレジストパターン40と関連づけることは、通常行われないのであろう。

【0017】

Asイオンの注入後、レジストパターン40を除去する。活性領域2をレジストパターンで覆い、活性領域1の表層部にホウ素イオン(B^+)を注入する。Bイオンの注入後、レジストパターンを除去する。Bイオンは、Asイオンに比べて質量数が小さいため、Bイオンビームによってレジストパターンがスパッタリングされることの影響は比較的小さい。

【0018】

このイオン注入により、図1(A)及び(B)に示したソース領域6、7、10、11、及びドレイン領域8、12の低濃度領域が形成される。

【0019】

次に、配線3の側面上に、図1(B)に示したサイドウォールスペーサ22を形成する。以下、サイドウォールスペーサ22の形成方法を簡単に説明する。

【0020】

シリコン基板19の全面上に、厚さ20nmの酸化シリコン膜を形成し、その上に厚さ150nmの窒化シリコン膜を形成する。酸化シリコン膜及び窒化シリコン膜は、化学気相成長(CVD)により形成される。この2層を異方性エッチングし、配線3(図1(B)のゲート電極3A)の側面上にサイドウォールスペーサ22を残す。

【0021】

図2(B)に戻って説明を続ける。レジストパターン40と同様のレジストパターンを形成し、活性領域2内に、Asイオンを加速エネルギー40keV、ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ の条件で注入する。このイオン注入時にも、炭素含有領域41が形成され得る。同様に、活性領域1内に、Bイオンを加速エネルギー8keV、ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ の条件で注入する。このイオン注入により、図1(A)及び(B)に示したソース領域6、7、10、11、及びドレイン領域8、12が形成される。

【0022】

図2(C)に示すように、配線3の表面を酸化し、厚さ10nmの酸化シリコン膜42を形成する。炭素含有領域41が、酸化シリコン膜42内に取り込まれ

る。この熱酸化は、ラピッドサーマルプロセシング（RTP）装置を用い、酸素ガス流量12リットル／分、水素ガス流量6リットル／分、基板温度1100℃、酸化時間20秒の条件で行われる。基板上で水素と酸素とが反応し、ウェット酸化が行われる。なお、加熱時間が短いため、これまでの工程で形成された不純物濃度分布は、ほとんど影響を受けない。

【0023】

図3（D）に示すように、酸化シリコン膜42をフッ酸で除去する。このとき、炭素含有領域41も、酸化シリコン膜42と共に除去される。図1（B）に示したサイドウォールスペーサ22は、その表面が窒化シリコンであるため、ほとんどエッチングされない。

【0024】

図3（E）に示すように、配線3の上面に、コバルトシリサイド膜25を形成する。以下、コバルトシリサイド膜25の形成方法について説明する。シリコン基板19の全面上に、厚さ10nmのコバルト（Co）膜と厚さ30nmの窒化チタン（TiN）膜とを、スパッタリングにより積層する。窒素雰囲気中で、温度500℃、処理時間30秒の熱処理を行う。この熱処理により、配線3とCo膜とが反応し、コバルトシリサイド膜25が形成される。未反応のCo膜とTiN膜とを、硫酸過水を用いたウェット処理で除去する。

【0025】

コバルトシリサイド膜25を形成する工程で、図1（B）に示したソース領域6の表面上のコバルトシリサイド膜23、及びドレイン領域8の表面上のコバルトシリサイド膜24も同時に形成される。

【0026】

上記実施例によると、図3（E）に示した工程で、シリサイド反応を生じさせ前に、図2（B）に示した炭素含有領域41が取り除かれている。シリコンに含有される炭素は、シリサイド反応を阻害する。炭素含有領域41が残っていると、この部分でシリサイド反応が進行しにくくなり、所望の厚さのコバルトシリサイド膜25を形成することができなくなる。上記実施例では、炭素含有領域41が取り除かれているため、配線3の上面に、一様にコバルトシリサイド膜25

を形成することができる。

【0027】

上記実施例では、図2（C）に示した酸化シリコン膜42の厚さを10nmとした。次に、酸化シリコン膜42の厚さを10nmよりも薄くし、シリサイド反応の結果を評価した結果について説明する。

【0028】

図4に、酸化シリコン膜42の厚さとシリサイド化不良箇所数との関係を示す。横軸は、酸化シリコン膜42の厚さを単位「nm」で表し、縦軸は、シリサイド化不良箇所数を表す。なお、図2（B）に示した配線3とレジストパターン40との交差する箇所において、シリサイド化不良となる可能性がある。この交差箇所の総数は20である。また、この評価実験では、シリサイド反応の条件は最適化されていない。このため、シリサイド化不良箇所数は、最適条件でシリサイド反応を生じさせた場合よりも多くなっている。

【0029】

図4から、酸化シリコン膜42の厚さを10nm以上とすれば、シリサイド化不良箇所が発生しないことがわかる。また、シリサイド反応の条件を最適化すれば、酸化シリコン膜42の厚さが5nmであっても、シリサイド化不良箇所数を十分少なくすることができると思われる。従って、酸化シリコン膜42の厚さを5nm以上とすることが好ましい。

【0030】

上記実施例では、図2（B）に示した炭素含有領域41が、 RTPによる酸化、及びウェットエッチングにより取り除かれる。CF₄ガス等を用いたドライエッチングによっても、炭素含有領域41を取り除くことは可能であろうが、この方法では、エッチングガスに含まれる炭素によってシリコン配線3の2次汚染が生じ得る。上記実施例のように、クリーンな熱酸化とウェットエッチングによって炭素含有領域41を取り除くことにより、シリコン配線3の2次汚染を防止することができる。

【0031】

上記実施例では、図2（C）に示した工程で、RTP装置を用いて配線42を

ウェット酸化したが、その他の方法で酸化してもよい。例えば、酸化性の薬液中に浸してもよいであろう。また、 RTP装置の代わりに電気炉を用いてもよい。

【0032】

また、上記実施例では、シリコン配線上にコバルトシリサイド膜25を形成したが、その他の金属シリサイド膜を形成する場合にも、実施例と同様の効果が得られるであろう。金属シリサイドの例として、チタンシリサイド(TiSi)が挙げられる。

【0033】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0034】

【発明の効果】

以上説明したように、本発明によれば、シリコン配線の表面上に金属シリサイド膜を形成する前に、表層部に形成された不純物含有領域が取り除かれる。このため、不純物に起因するシリサイド化不良の発生を防止することができる。

【図面の簡単な説明】

【図1】

本発明の実施例による半導体装置の製造方法で製造される半導体装置の平面図及び断面図である。

【図2】

本発明の実施例による半導体装置の製造方法を説明するための基板の断面図(その1)である。

【図3】

本発明の実施例による半導体装置の製造方法を説明するための基板の断面図(その2)である。

【図4】

シリコン配線を酸化して形成する酸化シリコン膜の厚さと、シリサイド化不良箇所数との関係を示すグラフである。

【符号の説明】

1、2 活性領域

3、4 配線

3A、3B、4A、4B ゲート電極

6、7、10、11 ソース領域

8、12 ドレイン領域

9、31 ゲート絶縁膜

19 シリコン基板

20 n型ウェル

21 フィールド酸化膜

22 サイドウォールスペーサ

23、24、25 コバルトシリサイド膜

30 p型ウェル

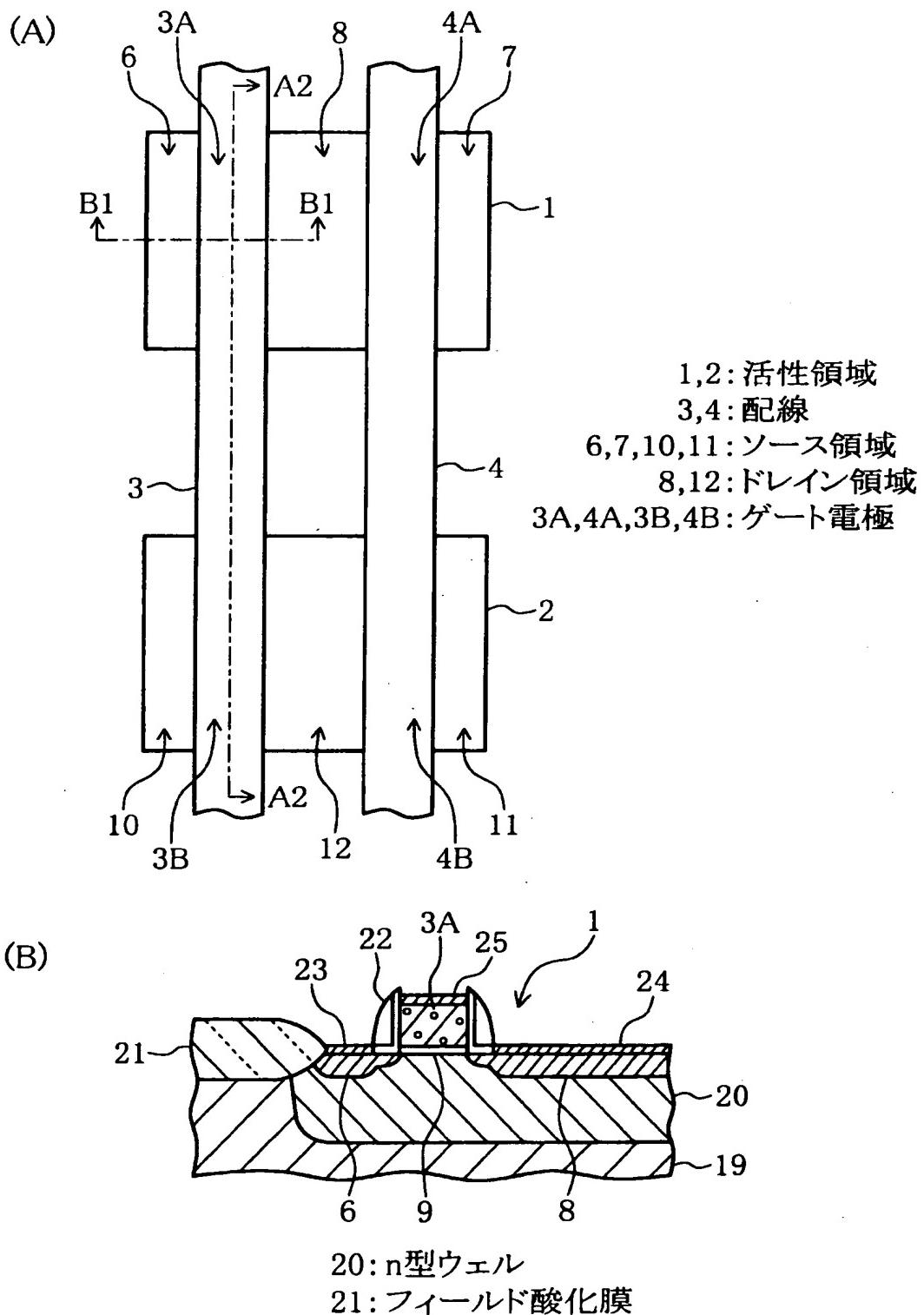
40 レジストパターン

41 炭素含有領域

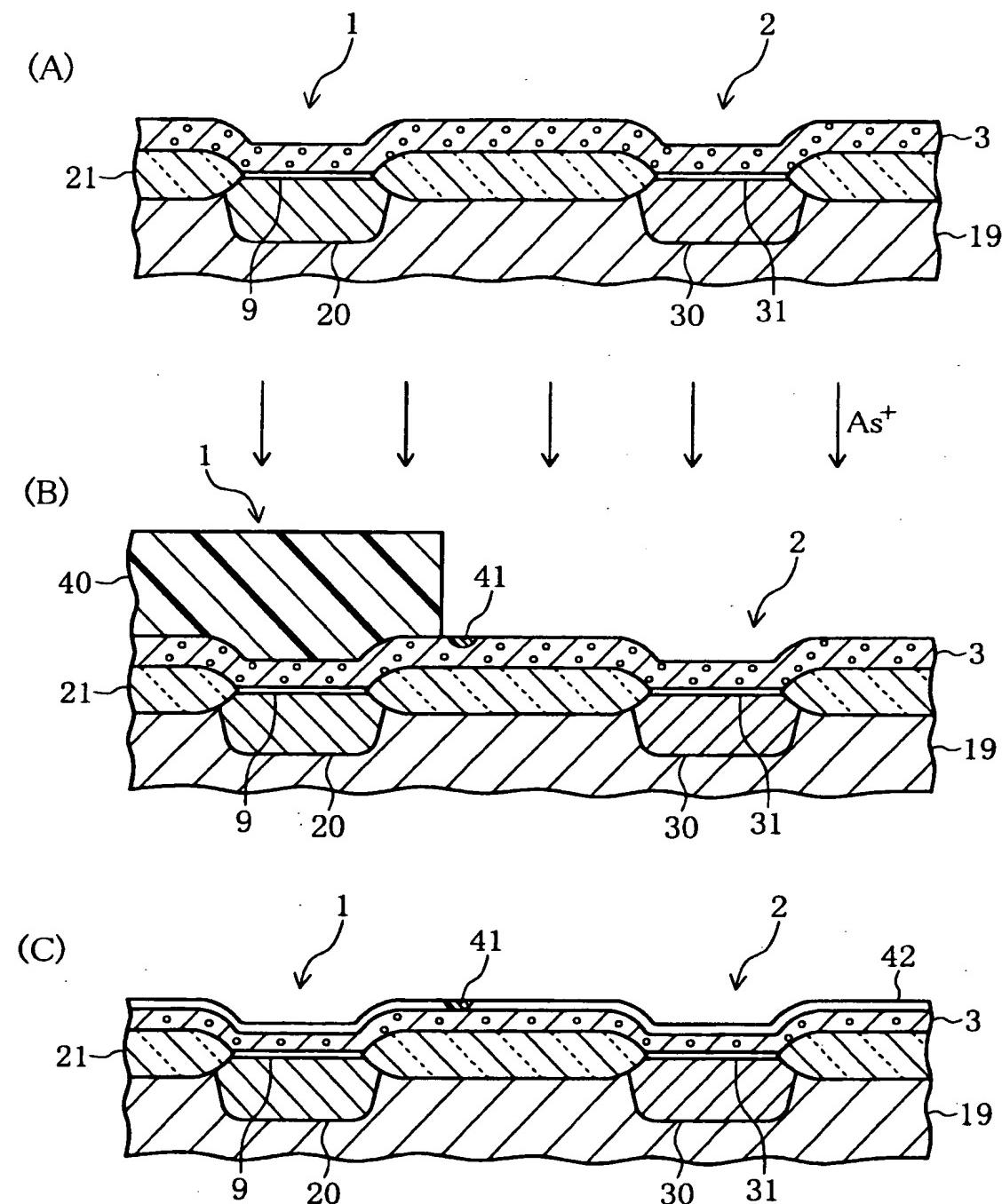
42 酸化シリコン膜

【書類名】図面

【図1】



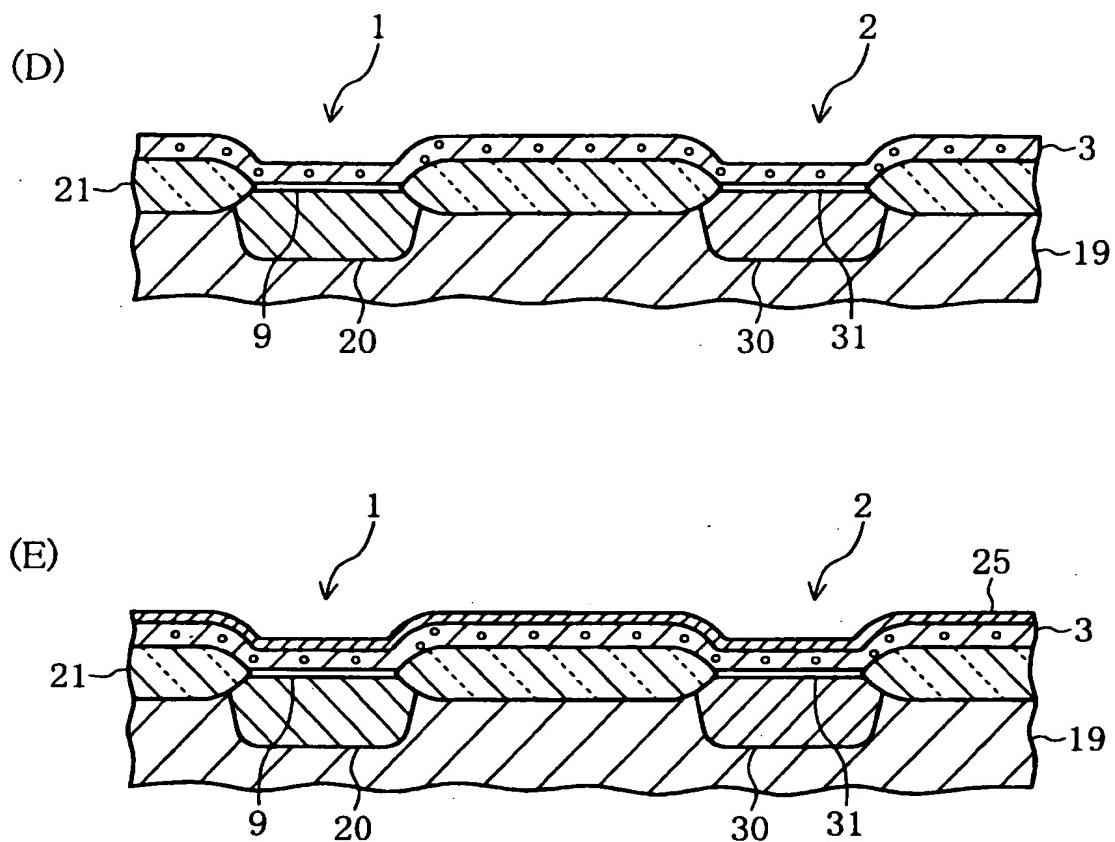
【図2】



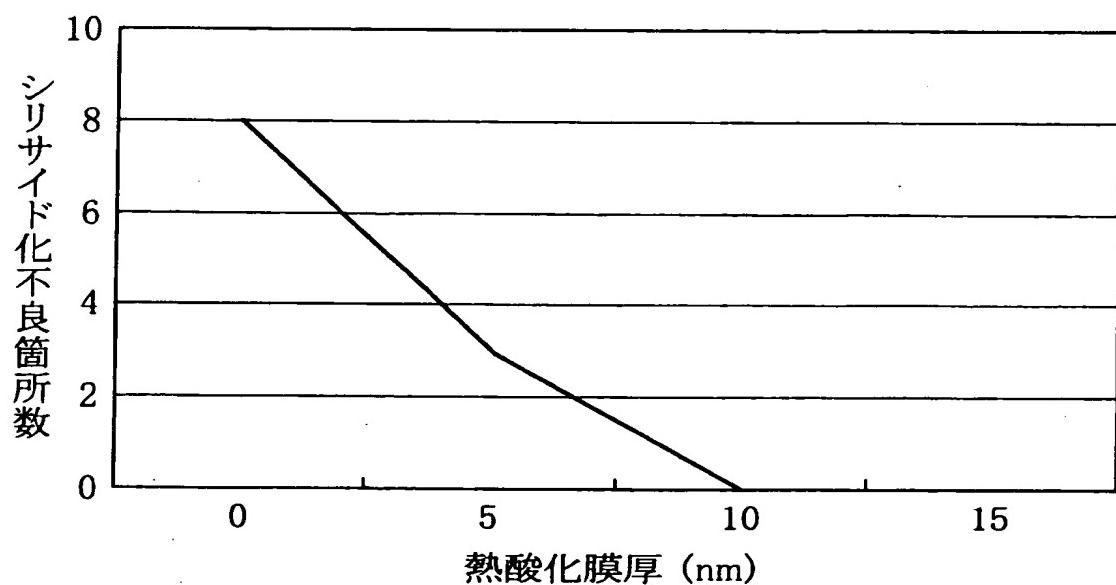
20:n型ウェル
30:p型ウェル

41:炭素含有領域
42:酸化シリコン膜

【図3】



【図4】



【書類名】 要約書

【要約】

【課題】 シリコン配線の上面に金属シリサイド膜を形成し、再現性よく配線抵抗を低減することができる半導体装置の製造方法を提供する。

【解決手段】 半導体基板の表面上に、シリコンからなる配線を形成する。配線の一部をレジストパターンで覆う。レジストパターンをマスクとしてイオン注入を行い、その後、レジストパターンを除去する。配線の上面からの深さが少なくとも 5 nm までの表層部を除去し、薄層化する。薄層化された配線の表層部と、シリコンとシリサイド反応する金属とを反応させて、該配線の表面上に金属シリサイド膜を形成する。

【選択図】 図2

特2001-013101

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社

出願人履歴情報

識別番号 [000237617]

1. 変更年月日 1990年 9月 6日

[変更理由] 新規登録

住 所 愛知県春日井市高蔵寺町2丁目1844番2
氏 名 富士通ヴィエルエスアイ株式会社